V量子マシン？

マシンV：構築し、実行し、検証するための呼び掛け。

Víctor Estrada Díaz · Einstein–VED · UNIHOLOG

私は量子計算の研究を否定しているのではない。私が提案するのは、構築と比較検証の機会である。従来の電子論理とプログラミングによって、私がVと呼ぶマシンを開発し、マシンQの既知の結果に対してどの問題を解き、どの実行オーダーで動作するのかを確かめる。

私の提案は、その従来の基盤から、シミュレーションではない量子マシンを構築することである。目指す等価性は、解いた課題とその実行オーダーによって実証されなければならない。アーキテクチャの類似や、あらかじめ与えられた答えによってではない。

Einstein–VEDの枠組みでは、測定前の未知性と測定の説明を、時間関数fおよびt=t₀で観測する行為に位置付けている。式や接続を知ることは、準備された一回の実行の値を知ることと同じではない。測定は、それまで知られていなかったものを確定する。

量子、電子回路、プログラミングの研究者や研究グループに、これらのマシンVをその規則に従って構築し、結果を比較検証するよう呼び掛ける。本研究は、その作業を再現可能にするための文書、図解資料、プログラム、入力、試験を提供している。

構築に必要な三つの要件

1. 測定前の未知性。 未定義の入力と内部状態は、回路の収縮または読み取りが行われるまで知られてはならない。0または1として明示的に確定した値は例外である。測定事象の原点をt=0と置くことができ、一般にはt=t₀と表す。準備は、測定でも出力の先行割当てでもない。

2. 準備後の独立性とコヒーレンス。 準備は、未確定のQvbitの独立性と未知性を確保しなければならない。私の枠組みでは、この独立性が満たされる程度によって、マシンのコヒーレンスの程度と結果の信頼性が定まる。同時に、回路が定める関係も保持しなければならない。共有された接続を、モジュールごとに異なる値へ置き換えてはならない。ソフトウェアのアクセス試験を、この独立性をすでに物理的に測定したものとして提示しているわけではない。

3. 収縮と伝播。 未確定のQvbitは、t=t₀で測定したときにのみ{0,1}に定まる。値は、出力が定まるまで接続とモジュールを通って伝播する。トリガーは共通である。伝播中に独立した測定を加えたり、結果を変えるために情報源へ再度問い合わせたりしてはならない。

実行されたマシンは、出力を生成するために抽選や統計を組み込んでいない。また、2^n状態の大域的レジスタ、Qの答えのバンク、有利な答えが得られるまでの反復も使用していない。比較は、測定を保存した後、Vの外側で行う。

これまでに得られた結果

V1 · Deutschの問題。 可能な四つの二値関数について、課題を解くビットはQ1の既知の結果$q_0=f(0)\oplus f(1)$と一致する。この結果は、厳密な代数的論証、制御されたトリガーによる16回の試験、実時計による四つの取得記録に支えられている。この固定された二ユニットのプロトコルでは、コアの時間とメモリは一回の実行につきO(1)である。

V2 · 読み取りと共通の後処理による因数の取得。 以前の取得では、N=21、底2に対して読み取り740が得られ、Q2でも使用する古典的後処理が因数3と7を復元した。新たな直接試験では、N=15に対する取得とN=21に対する取得は、いずれも読み取り28を生み、その手順では因数を復元できなかった。報告書は各実行を識別しており、以前の成功を新たな取得と混在させたり、有用でなかった出力を省略したりしていない。

有用でない一回の読み取りだけで一般的な不可能性が確立されるわけではなく、単独の成功だけでQ2との一般的な等価性が証明されるわけでもない。同じ成功基準と、明示した実行回数の予算に基づいて課題を比較検証しなければならない。

V3 · ゲートと測定の既知の結果。 出力が確定する三つのケースは、対応するQの参照結果と一致する。 Hの後にH → [0,0,0]。 第1ポートでH–RZ(π)–H → [1,0,0]。 第3ポートでRX(π) → [0,0,1]。

第4のケース、すなわち最初の二つのポートにHを適用した後、終端にCZとRZを適用した場合には、記録された出力は[1,0,0]であり、許される四つの出力の一つだった。この所属の確認を、分布全体の証明と混同してはならない。

ユニットごとにH-Hを適用するV3の系列は、2、8、32、128ユニットでも実行された。参照結果に対応して、すべての出力はゼロだった。この系列については、固定精度で走査とメモリは線形である。この結論を、任意のV3回路に拡張することはしない。

V2とV3の規則に関する14の試験では、事前の読み取りの遮断、共通トリガー、再読み取りのない伝播、出力生成に抽選や統計を用いないことを確認した。新たな試験は、Qのシミュレーションを実行せずに、従来型ソフトウェアVを直接実行した。その参照対象は既知の理論的結果であり、Qハードウェアの測定ではない。

V2/Q2とV3/Q3の結果および実行オーダーの一般的な等価性は、引き続き比較検証の目標である。ソフトウェアの実行に量子ハードウェアの時間を帰属させることも、二つの単独の時間を割ることによって漸近オーダーを証明することもしない。

研究とその説明

原著ES_52：
https://estradad.es/teorias/pdf/DEMUESTRA/proyectos/ES_52/ES_52_Maquina_V_UNIHOLOG.pdf

UNIHOLOGの基本文書：
https://estradad.es/teorias/pdf/UNIHOLOG/ES_52_Maquina_V_UNIHOLOG.pdf

試験の結果、条件、適用範囲：
https://estradad.es/teorias/pdf/UNIHOLOG/ES_52_Resultados_preparacion.pdf

文書、プログラム、図解資料、補足資料の索引：
https://estradad.es/teorias/pdf/UNIHOLOG/ES_52_Indice_recursos.pdf

構築の図解資料： https://estradad.es/teorias/pdf/UNIHOLOG/ES_52_Laminas_Q_V.pdf

トランスレータ、コンパイラ、使用方法：
https://estradad.es/teorias/pdf/UNIHOLOG/ES_52_Traductores_y_compiladores_de_V.pdf

関係、測定、Bell： https://estradad.es/teorias/pdf/UNIHOLOG/ES_52_Relaciones_medida_y_Bell.pdf

プログラム、試験、データ

V1：試験プログラムと入力。
https://estradad.es/teorias/pdf/UNIHOLOG/Traductores_V/Pruebas_V/test_v1.py
https://estradad.es/teorias/pdf/UNIHOLOG/Traductores_V/Pruebas_V/data_v1.json

V1：厳密な論証と確立された結果。
https://estradad.es/teorias/pdf/UNIHOLOG/Traductores_V/Pruebas_V/resultado_asentado_v1.json

V2：合成とVfモジュール。
https://estradad.es/teorias/pdf/UNIHOLOG/Traductores_V/v2_compuesta.py
https://estradad.es/teorias/pdf/UNIHOLOG/Traductores_V/vf.py

V2：試験と入力。 https://estradad.es/teorias/pdf/UNIHOLOG/Traductores_V/Pruebas_V/test_v2.py
https://estradad.es/teorias/pdf/UNIHOLOG/Traductores_V/Pruebas_V/data_v2.json

V3：遅延実行、試験、入力。
https://estradad.es/teorias/pdf/UNIHOLOG/Traductores_V/v3_diferida.py
https://estradad.es/teorias/pdf/UNIHOLOG/Traductores_V/Pruebas_V/test_v3.py
https://estradad.es/teorias/pdf/UNIHOLOG/Traductores_V/Pruebas_V/data_v3.json

既知の結果を用いた直接試験：プログラム、データ、完全な報告書。
https://estradad.es/teorias/pdf/UNIHOLOG/Traductores_V/Pruebas_V/ejecutar_tareas_conocidas_v.py
https://estradad.es/teorias/pdf/UNIHOLOG/Traductores_V/Pruebas_V/data_tareas_conocidas_v.json
https://estradad.es/teorias/pdf/UNIHOLOG/Traductores_V/Pruebas_V/resultados_tareas_conocidas_v

以前のV2取得記録の評価：
https://estradad.es/teorias/pdf/UNIHOLOG/Traductores_V/Pruebas_V/comparacion_tareas_v.json

V2とV3の明示された読み取りプロファイル：
https://estradad.es/teorias/pdf/UNIHOLOG/Traductores_V/Pruebas_V/data_v2_compuesta.json
https://estradad.es/teorias/pdf/UNIHOLOG/Traductores_V/Pruebas_V/data_v3_lectura.json

構築規則の監査：
https://estradad.es/teorias/pdf/UNIHOLOG/Traductores_V/Pruebas_V/auditoria_reglas_v2_v3.json

コミュニティへの呼び掛け

等価性を前もって受け入れるよう求めているのではない。従来の電子論理とプログラミングからこれらのマシンVを構築し、マシンを定義する準備と測定を守り、同じ問題を実行し、一致しなかった結果も含めて再現可能な結果を公開するよう呼び掛けている。

私が提案する比較検証は具体的である。同じ入力、同じ問題、明示的な成功基準、実行オーダーの分析である。このような構築の可能性からも、量子的なものを再考するときが来ている。

著作者、倫理、ライセンス

Víctor Estrada Díaz · ORCID 0000-0001-9942-1021。 本文：CC BY-NC-SA 4.0。コード：HL3。著者の倫理声明に従う。戦争目的、差別目的、およびライセンスが禁じるその他の有害な利用は認められない。著作者表示、本文の非営利利用、同一条件での共有が適用される。 https://estradad.es/licencia.php

#量子計算 #マシンV #EinsteinVED #UNIHOLOG #電子回路 #プログラミング #再現可能な研究